

p l e s k a c z

**WITOLD
ADAM PLESKACZ**

Witold Pleskacz urodził się 12 października 1959 roku w Warszawie, gdzie ukończył szkołę podstawową (1974) i XX Liceum Ogólnokształcące im. Bolesława Chrobrego (1978). Dyplom magistra inżyniera elektronika uzyskał w 1983 roku w specjalności Technologia Elektronowa na Wydziale Elektroniki Politechniki Warszawskiej. Pracę magisterską dotyczącą strat ładunku w strukturach typu EPROM realizował w Instytucie Technologii Elektronowej w Warszawie (Naukowo-Produkcyjne Centrum Półprzewodników — CEMI) pod kierunkiem profesora Jerzego Pułtoraka. Stopień doktora nauk technicznych w dziedzinie elektroniki uzyskał (z wyróżnieniem) w 1995 roku za rozprawę z zakresu analizy zaburzeń topografii układów scalonych, której promotorem był profesor Wiesław Kuźmich. Od 1984 roku jest zatrudniony w Instytucie Mikroelektroniki i Optoelektroniki Politechniki Warszawskiej (wówczas Instytutu Technologii Elektronowej) na Wydziale Elektroniki i Technik Informatycznych Politechniki Warszawskiej jako nauczyciel akademicki (asystent 1984, adiunkt 1995). Na tym Wydziale uzyskał w 2011 roku stopień naukowy doktora habilitowanego za rozprawę *Analiza topografii układów scalonych VLSI pod kątem ich produkowalności*. Odbił dwa staże przemysłowe: ośmiomiesięczny w Zakładach Radiowych im. Marcina Kasprzaka w Warszawie (1985–1986) oraz dwumiesięczny w Centro Nacional de Microelectronica — Bellaterra koło Barcelony, Hiszpania (1995). Od stycznia 1996 do czerwca 1997 roku przebywał na stażu naukowym jako *visiting research*



cher w Carnegie Mellon University, Pittsburgh USA, gdzie współpracował z profesorem Wojciechem Małym. Po powrocie do kraju współtworzył Centrum Kształcenia w Dziedzinie Specjalizowanych Układów Scalonych — ADEC (ang. *ASIC Design Education Centre*), którego misją jest pomoc w dostępie do zaawansowanych technologii mikroelektronicznych niesiona dla polskich przedsiębiorstw (zwłaszcza małych i średnich).

Witold Pleskacz zajęcia dydaktyczne i prace dyplomowe prowadzi z zakresu szeroko rozumianej tematyki projektowania układów scalonych wielkiej skali integracji (VLSI) i elektroniki ciała stałego. Dotychczas wypromował 22 magistrów i 6 inżynierów. W pracach naukowych zajmuje się: analizą topografii układów scalonych pod kątem produkowalności i metod testowania; modelowaniem i analizą uzysku produkcyjnego układów scalonych VLSI; metodami i algorytmami CAD (automatyzacja projektowania, modelowanie układów scalonych). Na początku pracy zawodowej na Politechnice Warszawskiej włączył się w opra-

Słowa kluczowe

- mikroelektronika
- komputerowe wspomaganie projektowania
- układy i systemy scalone

P

cowanie oprogramowania dla symulacyjnej metody diagnostyki procesu MOS. Następnie brał udział w pracy zespołu nad systemem projektowania układów scalonych z uwzględnieniem statystycznych cech procesu produkcyjnego. W końcu lat osiemdziesiątych rozpoczął badania nad wpływem zaburzeń topografii masek układów VLSI na ich uzysk produkcyjny. Głównym celem tych prac było opracowanie odpowiednich metod i oprogramowania komputerowego służących do oceny strat uzysku produkcyjnego spowodowanych defektami punktowymi oraz umożliwiającymi odpowiednie przeprojektowanie topografii układu scalonego. Opracował oryginalny algorytm ekstrakcji obszarów krytycznych na rozwarcia w dużych układach scalonych uwzględniający obszary krytyczne dla ścieżek przewodzących i dla kontaktów elektrycznych. Wprowadził nowe pojęcie obszarów wrażliwych oraz koncepcję rejonów kontaktowych dla kontaktów typu Contact Cut i Via. Zaproponował nowy model uzysku produkcyjnego uwzględniający zjawiska nadtrawienia i niedotrawienia warstw występujące w operacjach litograficznych. Opracował również metodę szacowania uzysku produkcyjnego dla skalowanych topografii układów scalonych VLSI. W 1999 roku rozpoczął prace nad jakością testowania układów scalonych w zakresie sposobów generacji wektorów testowych uwzględniających projekt topografii i statystykę występowania defektów produkcyjnych. Rezultatem tych prac była metoda charakteryzacji kombinacyjnych komórek standardowych i bloków funkcjonalnych CMOS do testowania napięciowego i prądowego IDDQ opartego na fizycznym modelu uszkodzeń.

Jest autorem lub współautorem około czterdziestu prac: rozdziałów w książkach, artykułów w czasopismach naukowych i materiałach konferencyjnych. Wygłosił 20 wykładów i referatów zaproszonych w 8 krajach UE, Rosji, Ukrainie i USA. Kierował i był głównym wykonawcą szeregu projektów badawczych i rozwojowych: Komitetu Badań Naukowych (1991–1993, 1994–1997, 1999–2002, 2003–

–2006), Narodowego Centrum Badań i Rozwoju (od 2011 roku), Grantów Dziekana Wydziału Elektroniki i Technik Informacyjnych Politechniki Warszawskiej oraz prac statutowych. Brał udział w 8 projektach Unii Europejskiej. W projekcie IST 5th FP REASON był kierownikiem tematu *Educational Integrated Circuits* oraz współautorem 2 wdrożeń: układu scalonego *DefSim* i testera pomiarowego *Blue-Box*. Za działalność naukową i dydaktyczną był dwukrotnie nagrodzony Nagrodami zespołowymi Ministra Edukacji Narodowej (1993) i Ministra Nauki i Szkolnictwa Wyższego (2006), trzykrotnie Nagrodami Rektora Politechniki Warszawskiej (indywidualną — 1996 i zespołowymi — 1989, 2010) oraz Dziekana Wydziału Elektroniki i Technik Informacyjnych (1994). Szczególnie ceni sobie dwukrotne wyróżnienie przez studentów „Złotą Kredą” dla najlepszego wykładowcy za prowadzony wykład „Elektronika ciała stałego” (2000 i 2008).

Witold Pleskacz od 1999 roku pełni funkcję kierownika warszawskiego ośrodka ADEC przy Instytucie Mikroelektroniki i Optoelektroniki Politechniki Warszawskiej, a od 2008 roku pełnomocnika dyrektora Instytutu Mikroelektroniki i Optoelektroniki Politechniki Warszawskiej ds. współpracy ze szkołami ponadgimnazjalnymi. Został powołany na członka Rady Programowej Wszechnicy Wydziału Elektroniki i Technik Informacyjnych (kadencja 2008–2012). Bierze udział w pracach 7 komitetów naukowych i programowych konferencji międzynarodowych: IEEE „Defect and Fault Tolerance”, IEEE „Design and Diagnostic of Electronic Circuits & Systems”, „CAD Systems in Microelectronic”, MEMSTECH, „Electronic Circuits and Systems”, DSD-SS, IEEE YOT. Recenzuje artykuły dla czasopism naukowych: „IEEE Transactions on Reliability”, „Journal of Microelectronic Systems Integration” (Plenum Press), „Journal of System Architecture” (Elsevier Science) i „Electron Technology”.

Jest żonaty, ma dwie córki i syna. Do jego zainteresowań pozazawodowych należy historia i muzyka klasyczna. Uprawia pływanie i turystykę pieszą.